

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    3 月 2 7 日  
Date of Application:

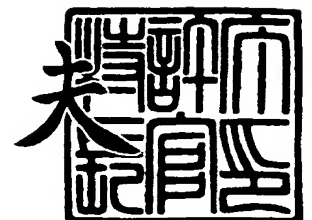
出 願 番 号            特 願 2 0 0 3 - 0 8 7 8 1 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 7 8 1 3 ]

出    願    人            シャープ株式会社  
Applicant(s):

2 0 0 4 年    2 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 1 4 8 4 3

【書類名】 特許願

【整理番号】 P03S0036A1

【提出日】 平成15年 3月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/60

【発明の名称】 出力回路

【請求項の数】 12

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 塩江 英紀

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

    【電話番号】 06-6621-1221

【代理人】

    【識別番号】 100114476

    【弁理士】

    【氏名又は名称】 政木 良文

    【電話番号】 06-6233-6700

【選任した代理人】

    【識別番号】 100107478

    【弁理士】

    【氏名又は名称】 橋本 薫

    【電話番号】 06-6233-6700

【手数料の表示】

    【予納台帳番号】 192855

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217474

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 出力回路

【特許請求の範囲】

【請求項 1】 エミッタを接地し、ベースを制御電流の入力ノードとし、コレクタを出力ノードとする出力トランジスタと、

前記出力トランジスタに対して、外部からの入力信号に応じてベース電流を供給するベース電流供給部と、

前記出力トランジスタのコレクタ・エミッタ間の両端電圧を検知し、前記両端電圧が所定電圧を下回らないように前記ベース電流供給部から供給されるベース電流を制御するベース電流制御部と、を備えてなることを特徴とする出力回路。

【請求項 2】 前記ベース電流制御部は、前記両端電圧と前記所定電圧を差動入力とする比較器であることを特徴とする請求項 1 に記載の出力回路。

【請求項 3】 前記ベース電流制御部は、前記ベース電流供給部から供給される前記ベース電流から前記両端電圧に応じて分流した第 1 制御電流を増幅器により増幅して第 2 制御電流を生成し、前記ベース電流から前記第 2 制御電流を分流させることにより、前記入力ノードに供給される前記ベース電流を制御することを特徴とする請求項 1 または 2 に記載の出力回路。

【請求項 4】 前記ベース電流制御部は、前記ベース電流供給部から供給される前記ベース電流から前記両端電圧に応じて分流した第 1 制御電流を前記出力トランジスタのコレクタ電流に供給することにより、前記入力ノードに供給される前記ベース電流を制御することを特徴とする請求項 1 または 2 に記載の出力回路。

【請求項 5】 前記ベース電流制御部は、前記ベース電流供給部から供給される前記ベース電流から前記両端電圧に応じて分流した第 1 制御電流を少なくとも 2 系統に分流し、その内の一系統の電流を増幅器により増幅して第 2 制御電流を生成し、前記ベース電流から前記第 2 制御電流を分流させ、他方の系統の電流を前記出力トランジスタのコレクタ電流に供給することにより、前記入力ノードに供給される前記ベース電流を制御することを特徴とする請求項 1 または 2 に記載の出力回路。

【請求項 6】 前記出力トランジスタは NPN トランジスタであることを特徴とする請求項 1 ～ 5 の何れか 1 項に記載の出力回路。

【請求項 7】 前記出力トランジスタは PNP トランジスタであることを特徴とする請求項 1 ～ 5 の何れか 1 項に記載の出力回路。

【請求項 8】 前記比較器は NPN トランジスタで構成されることを特徴とする請求項 2 に記載の出力回路。

【請求項 9】 前記比較器は PNP トランジスタで構成されることを特徴とする請求項 2 に記載の出力回路。

【請求項 10】 前記増幅器はカレントミラー回路で構成されることを特徴とする請求項 3 または 5 に記載の出力回路。

【請求項 11】 前記増幅器はトランジスタの電流増幅作用を利用したものであることを特徴とする請求項 3 または 5 に記載の出力回路。

【請求項 12】 エミッタを第 1 電源電位に接続し、ベースを制御電流の入力ノードとし、コレクタを出力ノードとする NPN 出力トランジスタと、

エミッタを第 2 電源電位に接続し、ベースを制御電流の入力ノードとし、コレクタを前記 NPN 出力トランジスタと共通の出力ノードとする PNP 出力トランジスタと、

前記 NPN 出力トランジスタに対して、外部からの入力信号に応じてベース電流を供給する第 1 ベース電流供給部と、前記 NPN 出力トランジスタのコレクタ・エミッタ間の第 1 両端電圧を検知し、前記第 1 両端電圧が第 1 の所定電圧を下回らないように前記第 1 ベース電流供給部から供給されるベース電流を制御する第 1 ベース電流制御部と、

前記 PNP 出力トランジスタに対して、前記入力信号に応じてベース電流を供給する第 2 ベース電流供給部と、前記 PNP 出力トランジスタのコレクタ・エミッタ間の第 2 両端電圧を検知し、前記第 2 両端電圧が第 2 の所定電圧を下回らないように前記第 2 ベース電流供給部から供給されるベース電流を制御する第 2 ベース電流制御部と、を備えてなることを特徴とする出力回路。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、半導体集積回路における出力回路に関し、詳しくは、エミッタを接地し、ベースを制御電流の入力ノードとし、コレクタを出力ノードとする出力トランジスタを備えた出力回路に関する。

**【0002】****【従来の技術】**

上記出力トランジスタを備えた出力回路の従来例として、例えば、特許文献1に開示された出力回路、或いは、図8に例示する出力回路がある。

**【0003】**

図8に示す回路は、出力トランジスタQ1、その他のトランジスタQ2～Q6、電流源I1、及び、負荷Xを備えて構成されている。詳述すれば、トランジスタQ2とQ3は、エミッタ同士が接続され、トランジスタQ2のベースを入力信号VINの入力とし、トランジスタQ3のベースを基準電圧V1の入力とし、トランジスタQ2とQ3のエミッタに電流を供給する為に電源電圧VCCとエミッタ間に電流源I1が接続されている。トランジスタQ4は、コレクタがトランジスタQ2のコレクタに接続され、エミッタが接地され、トランジスタQ5は、コレクタとベースがトランジスタQ3のコレクタとトランジスタQ4のベースに接続され、エミッタは接地されている。出力トランジスタQ1は、コレクタが出力VOUTに接続され、ベースがトランジスタQ2のコレクタとトランジスタQ4のコレクタの接続点に接続され、エミッタが接地されている。トランジスタQ6は、コレクタが電源電圧VCCに接続され、ベースには基準電圧V2が印加され、エミッタが出力VOUTに接続されている。負荷Xは、出力VOUTと電源電圧VCC間に接続されている。

**【0004】**

次に、図8に示す従来の出力回路の動作について説明する。入力信号VINと基準電圧V1の電圧差に応じて、電流源I1の電流はトランジスタQ2とQ3のコレクタ電流に分流される。トランジスタQ3のコレクタ電流はトランジスタQ4、Q5で構成されるカレントミラーによりトランジスタQ4のコレクタ電流となる。トランジスタQ2とQ4のコレクタは接続されているため、両コレクタ電

流の差がトランジスタ Q1 のベース電流となり、その  $h_{fe}$  (電流増幅率を表す  $h$  パラメータ) 倍のコレクタ電流が負荷 X に流れ、電源電圧 VCC から負荷 X の両端電圧分が降下したところが出力 VOUT の電位となる。入力信号 VIN > 基準電圧 V1 の時、トランジスタ Q2、Q4 のコレクタ電流ではトランジスタ Q4 の方が大きいので、出力トランジスタ Q1 のベースから電流が引き抜かれ、負荷 X に流れる電流が減少し、出力 VOUT の電圧は上昇する。逆に、入力信号 VIN < 基準電圧 V1 の時は、トランジスタ Q2、Q4 のコレクタ電流は Q2 の方が大きいので、トランジスタ Q1 のベースにはベース電流が供給され、その  $h_{fe}$  倍のコレクタ電流が負荷に流れ、出力 VOUT の電圧が低下する。但し、出力 VOUT の電圧が、基準電圧 V2 より  $V_{BE}$  低い電圧より更に低下しようとした場合、トランジスタ Q6 が動作してその電圧以下に下がらないように制限がかかるようになっている。

【0005】

【特許文献 1】

特開平 9-51256 号公報

【0006】

【発明が解決しようとする課題】

ここで、出力トランジスタ Q1 のコレクタ電流が増加し、出力 VOUT の電圧が下がり、トランジスタ Q6 により制限されている状態では、Q1 のコレクタ電流の内、上記制限のためトランジスタ Q6 のコレクタに流れた電流は、入力信号 VIN に応答して出力電圧を変化させることには寄与しない無駄な電流となる。特に、出力が遷移する瞬間のみ急峻さを求められ、変化後はその電圧を保持すればいいという場合には、出力電圧が遷移する期間には必要であった電流が出力電圧の変化後にも流れ続け、消費電流が増大するという欠点があった。

【0007】

本発明は、上記の従来技術における問題点に鑑みてなされたものであり、その目的は、出力電圧が所定の電圧以下に低下しないよう制限された場合に、出力電流を抑えて消費電流を低減できる出力回路を提供することにある。

【0008】

**【課題を解決するための手段】**

この目的を達成するための本発明に係る出力回路は、例えば、図 9 に例示するような構成とする。図 9 に示す出力回路は、図 8 に示した従来例の出力回路よりトランジスタ Q 6 を削除し、それに代えて、トランジスタ Q 2 のコレクタとトランジスタ Q 4 のコレクタにベース電流制御部 1 を接続して構成される。ここで、ベース電流制御部 1 は、出力トランジスタ Q 1 のコレクタ・エミッタ間の両端電圧、即ち出力回路の出力電圧を検知し、その両端電圧が所定電圧 V 3 を下回らないように、出力トランジスタ Q 1 に対して外部からの入力信号 V I N に応じて供給されるベース電流を制御するように構成される。

**【0009】**

本発明に係る出力回路では、図 9 における出力トランジスタ Q 1 のコレクタ・エミッタ間の両端電圧が基準電圧 V 3 より下がらないようにする手段として、トランジスタ Q 1 のベース電流を制限し、トランジスタ Q 1 のコレクタ電流を減らすことで当該両端電圧の低下を抑制するため、両端電圧の低下に制限がかかった時のトランジスタ Q 1 のコレクタ電流は必要最小限に抑えられる。

**【0010】**

この結果、従来のような出力電圧補償用のトランジスタ Q 6 を用いず、必要最小限のコレクタ電流で出力電圧補償が可能となり、出力電圧が所定の電圧以下に低下しないよう制限された場合に、出力電流を抑えて消費電流を低減できる出力回路を提供することができる。

**【0011】****【発明の実施の形態】**

本発明に係る出力回路（以下、適宜「本発明回路」という。）の一実施の形態につき、図面に基づいて説明する。尚、図 8 に示す従来技術と共通する部分及び箇所には同じ符号を付して説明する。また、下記の各実施例においても、共通する部分及び箇所には同じ符号を付して説明する。

**【0012】****〈第 1 実施形態〉**

図 1 は、本発明回路の構成概念を説明するブロック図である。図 1 に示すよう



に、本発明回路は、エミッタを接地し、ベースを制御電流の入力ノード  $N_{in}$  とし、コレクタを出力  $V_{OUT}$  (出力ノード) とする出力トランジスタ  $Q_1$  と、出力トランジスタ  $Q_1$  に対して、外部からの入力信号  $V_{IN}$  に応じてベース電流を供給するベース電流供給部 2 と、出力トランジスタ  $Q_1$  のコレクタ・エミッタ間の両端電圧を検知し、前記両端電圧が所定電圧を下回らないようにベース電流供給部 2 から供給されるベース電流を制御するベース電流制御部 1 とを備えて構成され、更に、出力  $V_{OUT}$  と電源電圧  $V_{CC}$  の間に負荷  $X$  が接続されている。

#### 【0013】

ここで、ベース電流供給部 2 は、入力信号  $V_{IN}$  を受けて、それに応じた電流を出力するもので、例えば、ベースを入力とするエミッタ接地増幅器や、差動増幅器等がある。

#### 【0014】

また、ベース電流制御部 1 は、出力トランジスタ  $Q_1$  のコレクタ・エミッタ間の両端電圧が基準電圧  $V_3$  と比較して出力トランジスタ  $Q_1$  のベース電流を適切な値に調整するものである。出力トランジスタ  $Q_1$  の前記両端電圧が基準電圧  $V_3$  より充分大きい時は、ベース電流供給部 2 から供給される電流をそのまま出力トランジスタ  $Q_1$  のベースに供給するが、基準電圧  $V_3$  付近では基準電圧  $V_3$  を下回らないようにベース電流の供給を制限する。この制限は、出力トランジスタ  $Q_1$  のコレクタ・エミッタ間の両端電圧が、基準電圧  $V_3$  を下回ろうとすればするほどベース電流を制限する仕組みのものである。

#### 【0015】

##### 〈第 1 実施例〉

図 2 に、図 1 のブロック図に示した本発明回路の第 1 実施形態を、具体的なトランジスタ回路で実現した第 1 実施例の回路図を示す。図 8 の従来回路との相違点は、PNP トランジスタ  $Q_2$  のコレクタがトランジスタ  $Q_4$  のコレクタに接続されるのではなく、トランジスタ  $Q_2$  のコレクタとトランジスタ  $Q_4$  のコレクタの間に、出力トランジスタ  $Q_1$  のコレクタ・エミッタ間の両端電圧と基準電圧  $V_3$  を差動入力とする図 1 のベース電流制御部 1 に相当する比較器を挿入している点と、図 8 におけるトランジスタ  $Q_6$  が削除されている点である。この比較器は

、コレクタがトランジスタ Q4 のコレクタと出力トランジスタ Q1 のベースに接続され、ベースには基準電圧 V3 が印加され、エミッタはトランジスタ Q2 のコレクタに接続されたトランジスタ Q7 と、コレクタが接地され、ベースが出力 VOUT に接続され、エミッタがトランジスタ Q7 のエミッタ及び Q2 のコレクタに接続されたトランジスタ Q8 とで構成される。尚、図 1 のベース電流供給部 2 に相当する部分は、PNP トランジスタ Q2、Q3 及び NPN トランジスタ Q4、Q5 で構成されるカレントミラー差動増幅器部分である。

#### 【0016】

第 1 実施例において、入力信号 VIN と基準電圧 V1 の電圧差に応じて、電流源 I1 の電流はトランジスタ Q2 と Q3 のコレクタ電流に分流される。トランジスタ Q2 のコレクタ電流（ベース電流供給部 2 から出力トランジスタ Q1 に供給されるベース電流に相当）は、さらに出力 VOUT の電圧と基準電圧 V3 の電圧差に応じてトランジスタ Q7 のコレクタ電流と、トランジスタ Q8 のコレクタ電流（第 1 制御電流）に分流される。トランジスタ Q7 と Q4 のコレクタが接続されているため、両コレクタ電流の差がトランジスタ Q1 のベース電流となる。ここで、トランジスタ Q4 のコレクタ電流はトランジスタ Q3 のコレクタ電流がトランジスタ Q4 と Q5 で構成される第 1 のカレントミラーによりミラーされた電流である。ここで、トランジスタ Q2 のコレクタ電流の一部または全部が、ベース電流供給部 2 から出力トランジスタ Q1 に供給されるときベース電流となる。

#### 【0017】

出力 VOUT の電圧が基準電圧 V3 より充分高い時、トランジスタ Q8 は動作しないのでトランジスタ Q2 のコレクタ電流はトランジスタ Q7 のコレクタ電流と等しくなる。一方、出力 VOUT の電圧が下がり基準電圧 V3 付近になるとトランジスタ Q8 が動作して電流を流し始めるので、トランジスタ Q7 のコレクタ電流が減少し、トランジスタ Q7 と Q4 のコレクタ電流の差であるトランジスタ Q1 のベース電流も減少し、それに伴い出力トランジスタ Q1 のコレクタ電流も減少するので、出力 VOUT の電圧低下が抑制される。出力 VOUT の電圧が下がれば下がるほどトランジスタ Q8 に流れる電流が増加するので、出力トランジ

スタQ1のベース電流が減少し、出力VOU Tの電圧低下をより抑制することになる。出力VOU Tが下げ止まったところでは、トランジスタQ1のベース電流、コレクタ電流は必要最小限の値となる。

#### 【0018】

従って、出力VOU Tの電圧低下を制限するリミット動作が働いている間は電流を抑えられるので、出力VOU Tを急峻に遷移させるために出力トランジスタQ1のベース電流を大きく設定することができ、低消費電流で高速動作可能な出力回路が実現できる。

#### 【0019】

##### 〈第2実施例〉

図3に、図1のブロック図で示した本発明回路の第1実施形態を、具体的なトランジスタ回路で実現した第2実施例の回路図を示す。第2実施例と第1実施例との相違点は、第2実施例において、トランジスタQ8のコレクタを接地する代わりに、トランジスタQ9とQ10で構成される第2のカレントミラーの入力端子に接続し、その出力端子を出力トランジスタQ1のベース、及び、トランジスタQ7とQ4の各コレクタに接続している点である。つまり、第2実施例では、図1のベース電流制御部1に相当する部分が、トランジスタQ7とQ8で構成される比較器に加え、トランジスタQ9とQ10で構成される第2のカレントミラーを備えている。図1のベース電流供給部2に相当する部分、その他の回路構成は、第1実施例と同じである。

#### 【0020】

ここで、第2のカレントミラーを構成する一方のトランジスタQ9は、コレクタとベースがカレントミラーの入力としてトランジスタQ8のコレクタに接続され、エミッタが接地されている。また、他方のトランジスタQ10は、コレクタがカレントミラーの出力として、出力トランジスタQ1のベース、トランジスタQ4とトランジスタQ7の各コレクタに接続され、ベースがトランジスタQ9のコレクタとベース及びトランジスタQ8のコレクタに接続され、エミッタが接地されている。

#### 【0021】

第2実施例においては、入力信号 $V_{IN}$ と基準電圧 $V_1$ の電圧差に応じて、電流源 $I_1$ の電流はトランジスタ $Q_2$ と $Q_3$ のコレクタ電流に分流される。トランジスタ $Q_2$ のコレクタ電流は、さらに出力 $V_{OUT}$ の電圧（出力トランジスタ $Q_1$ のコレクタ・エミッタ間の両端電圧）と基準電圧 $V_3$ の電圧差に応じてトランジスタ $Q_7$ のコレクタ電流と、トランジスタ $Q_8$ のコレクタ電流（第1制御電流）に分流される。以上、第1実施例と同じである。更に、第1制御電流から第2のカレントミラーで構成される増幅器によって増幅されたトランジスタ $Q_{10}$ のコレクタ電流（第2制御電流）が、トランジスタ $Q_7$ のコレクタ電流から、更に分流される構成となっている。

### 【0022】

この結果、出力 $V_{OUT}$ の電圧が基準電圧 $V_3$ 付近の時にトランジスタ $Q_8$ に流れた第1制御電流を増幅した第2制御電流を用いて、トランジスタ $Q_1$ のベースからベース電流を引き抜いており、第1実施例よりも効率的に出力トランジスタ $Q_1$ のコレクタ電流を減少させることができる。更に、前記第2のカレントミラーのミラー比を大きくして増幅してから出力トランジスタ $Q_1$ のベース電流を引き抜けば、出力 $V_{OUT}$ の電圧が基準電圧 $V_3$ を下回ろうとした時の出力トランジスタ $Q_1$ のベースからの電流の引き抜き量が増加し、出力 $V_{OUT}$ の電圧低下をより高速に抑制することができる。

### 【0023】

#### 〈第3実施例〉

図4に、図1のブロック図で示した本発明回路の第1実施形態を、具体的なトランジスタ回路で実現した第3実施例の回路図を示す。第3実施例は、第2実施例との比較において、ベース電流制御部1に相当する部分が、トランジスタ $Q_7$ と $Q_8$ で構成される比較器とトランジスタ $Q_{10}$ で構成されている点で相違し、図1のベース電流供給部2に相当する部分、その他の回路構成は、第1及び第2実施例と同じである。つまり、第3実施例では、トランジスタ $Q_8$ に流れた第1制御電流を増幅する増幅器を、カレントミラーで構成せずに、単体のトランジスタ $Q_{10}$ で構成している。また、第1実施例との相違点は、トランジスタ $Q_8$ のコレクタを接地せずに、エミッタが接地され、コレクタが出力トランジスタ $Q_1$

のベースとトランジスタQ4とQ7の各コレクタに接続しているトランジスタQ10のベースに接続されている点である。

#### 【0024】

第3実施例においては、第2実施例においてカレントミラー増幅器で行っていたトランジスタQ8のコレクタ電流（第1制御電流）の増幅をトランジスタQ10の増幅作用を利用して行ったもので、より大きな増幅を簡単に行うことができる。従って、基本的な制御動作原理は第2実施例と同じである。

#### 【0025】

##### 〈第4実施例〉

図5に、図1のブロック図で示した本発明回路の第1実施形態を、具体的なトランジスタ回路で実現した第4実施例の回路図を示す。第4実施例と第1実施例との相違点は、第4実施例において、トランジスタQ11（第1実施例のトランジスタQ8に相当）のコレクタを接地する代わりに、出力トランジスタQ1のコレクタに接続している点である。つまり、第4実施例では、ベース電流供給部2から供給されるベース電流（トランジスタQ2のコレクタ電流）から出力トランジスタQ1のコレクタ・エミッタ間の両端電圧に応じて分流したトランジスタQ11のコレクタ電流（第1制御電流）を出力トランジスタQ1のコレクタ電流に供給する構成となっている。

#### 【0026】

第4実施例では、負荷Xのインピーダンスが高い場合、出力トランジスタQ1の出力VOUTの出力電圧が基準電圧V3より下がらないように制限するには出力トランジスタQ1のコレクタ電流を遮断またはそれに近い状態にする必要があり、その状態では出力VOUTのインピーダンスが高くなり好ましくない。

#### 【0027】

そこで、図5に示す回路構成のように、トランジスタQ11に流れた電流（第1制御電流）を出力トランジスタQ1のコレクタに供給することで、出力VOUTの電圧低下を抑制するリミット動作が働いている状態でも出力トランジスタQ1のコレクタにはトランジスタQ11のコレクタ電流が流れるので、出力インピーダンスを下げることができる。

**【0028】****〈第5実施例〉**

図6に、図1のブロック図で示した本発明回路の第1実施形態を、具体的なトランジスタ回路で実現した第5実施例の回路図を示す。第5実施例は、図6に示すように、図3に示す第2実施例と図5に示す第4実施例を折衷した回路構成となっている。つまり、トランジスタQ2のコレクタ電流が、出力VOUTの電圧（出力トランジスタQ1のコレクタ・エミッタ間の両端電圧）と基準電圧V3の電圧差に応じて、トランジスタQ7のコレクタ電流と、トランジスタQ8のコレクタ電流と、トランジスタQ11のコレクタ電流に分流される。ここで、第2実施例におけるトランジスタQ8のコレクタ電流（第1制御電流）、或いは、第4実施例におけるトランジスタQ11のコレクタ電流（第1制御電流）は、本第5実施例では、トランジスタQ8とQ11のコレクタ電流の和となっている。

**【0029】**

このように、第5実施例では、第2実施例と第4実施例の出力回路の特性を両方兼ね備えたもので、負荷Xが高インピーダンスで、出力VOUTの電圧低下を抑制するリミット動作が働いている状態での出力VOUTのインピーダンスの低下と、リミット動作の高速化を実現できる。

**【0030】**

以上、本発明に係る出力回路の第1実施形態（第1実施例～第5実施例を含む）では、出力トランジスタQ1がNPNバイポーラトランジスタの場合を例に説明したが、出力トランジスタQ1はPNPトランジスタであっても構わない。この場合、第1実施例～第5実施例において、ベース電流供給部2及びベース電流制御部1を構成するトランジスタは、NPNトランジスタはPNPトランジスタに、また、PNPトランジスタはNPNトランジスタに変更し、電源電圧及び接地電位との接続関係もこれに対応して変更すればよい。

**【0031】****〈第2実施形態〉**

次に、本発明に係る出力回路の第2実施形態について、図7を用いて説明する。

**【0032】**

図7に示すように、第2実施形態に係る出力回路は、2つの第1実施形態における構成の出力回路3, 4を2つ合成して構成されている。ここで、出力回路3では、出力トランジスタQ1はNPNトランジスタで構成され、出力回路4では、出力トランジスタQ1'はPNPトランジスタで構成されており、出力トランジスタQ1と出力トランジスタQ1'の各コレクタが接続され、共通の出力VOUT（出力ノード）に接続されている。また、出力トランジスタQ1のエミッタは接地され、出力トランジスタQ1'のエミッタは電源電圧VCCに接続されており、所謂プッシュプル型の出力ドライバを構成している。また、出力回路3, 4の入力信号として共通の入力信号VINが用いられる。

**【0033】**

出力回路3は、NPN出力トランジスタQ1と、NPN出力トランジスタQ1に対して、外部からの入力信号VINに応じてベース電流を供給する第1ベース電流供給部2と、NPN出力トランジスタQ1のコレクタ・エミッタ間の第1両端電圧を検知し、その第1両端電圧が第1の所定電圧V3を下回らないように第1ベース電流供給部2から供給されるベース電流を制御する第1ベース電流制御部1を備えて構成されている。

**【0034】**

また、出力回路4は、PNP出力トランジスタQ1'と、PNP出力トランジスタQ1'に対して、入力信号VINに応じてベース電流を供給する第2ベース電流供給部2'と、PNP出力トランジスタQ1'のコレクタ・エミッタ間の第2両端電圧を検知し、その第2両端電圧が第2の所定電圧V3'を下回らないように第2ベース電流供給部2'から供給されるベース電流を制御する第2ベース電流制御部1'を備えて構成されている。

**【0035】**

出力回路3, 4の具体的な回路構成としては、図2～図6に例示した第1実施例から第5実施例の回路構成を適用することができる。尚、出力回路4の回路構成としては、図2～図6に例示した第1実施例から第5実施例の回路構成における、NPNトランジスタとPNPトランジスタの関係、及び、電源電圧VCCと

接地電位の関係を反転させたものを使用すればよい。

### 【0036】

第2実施形態の回路構成では、出力VOUTの電圧の立ち上げ時、立ち下げ時共に低消費電流で高速動作可能な出力が実現できる。これは、高い出力レートによって2値データを出力する必要があるトランジスタ・トランジスタ論理回路等の出力回路に適用できる。

### 【0037】

#### 【発明の効果】

以上のように本発明によれば、出力電圧のリミット動作が働いた時には出力トランジスタのベースに供給される過剰な電流を制限することができ、高速かつ低消費電力の出力回路が実現できる。

#### 【図面の簡単な説明】

#### 【図1】

本発明に係る出力回路の第1実施形態の構成を示すブロック図

#### 【図2】

本発明に係る出力回路の第1実施例の回路構成を示す回路図

#### 【図3】

本発明に係る出力回路の第2実施例の回路構成を示す回路図

#### 【図4】

本発明に係る出力回路の第3実施例の回路構成を示す回路図

#### 【図5】

本発明に係る出力回路の第4実施例の回路構成を示す回路図

#### 【図6】

本発明に係る出力回路の第5実施例の回路構成を示す回路図

#### 【図7】

本発明に係る出力回路の第2実施形態の構成を示すブロック図

#### 【図8】

従来の出力回路の回路構成例を示す回路図

#### 【図9】



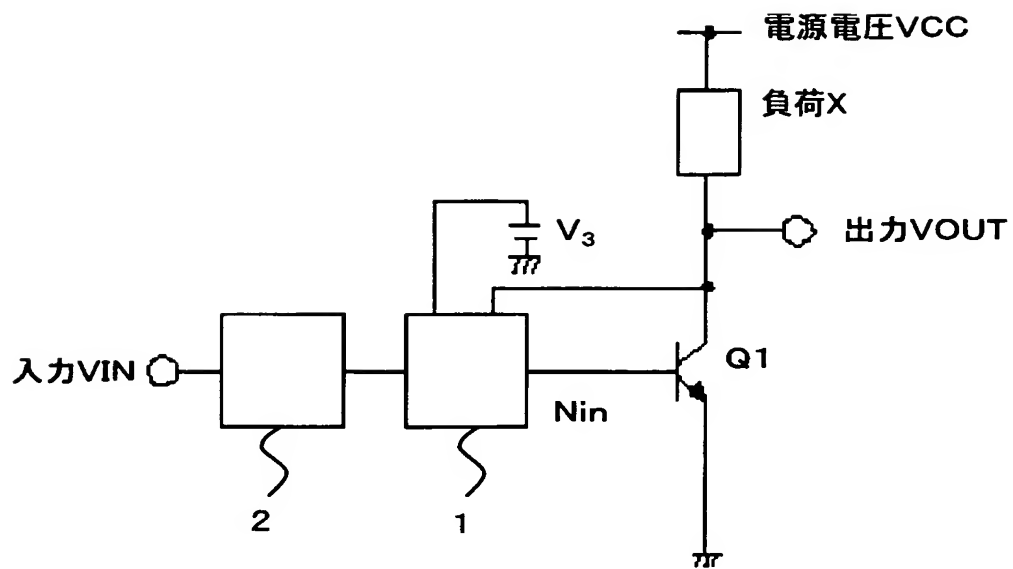
本発明に係る出力回路の回路構成の基本概念を説明する回路構成図

【符号の説明】

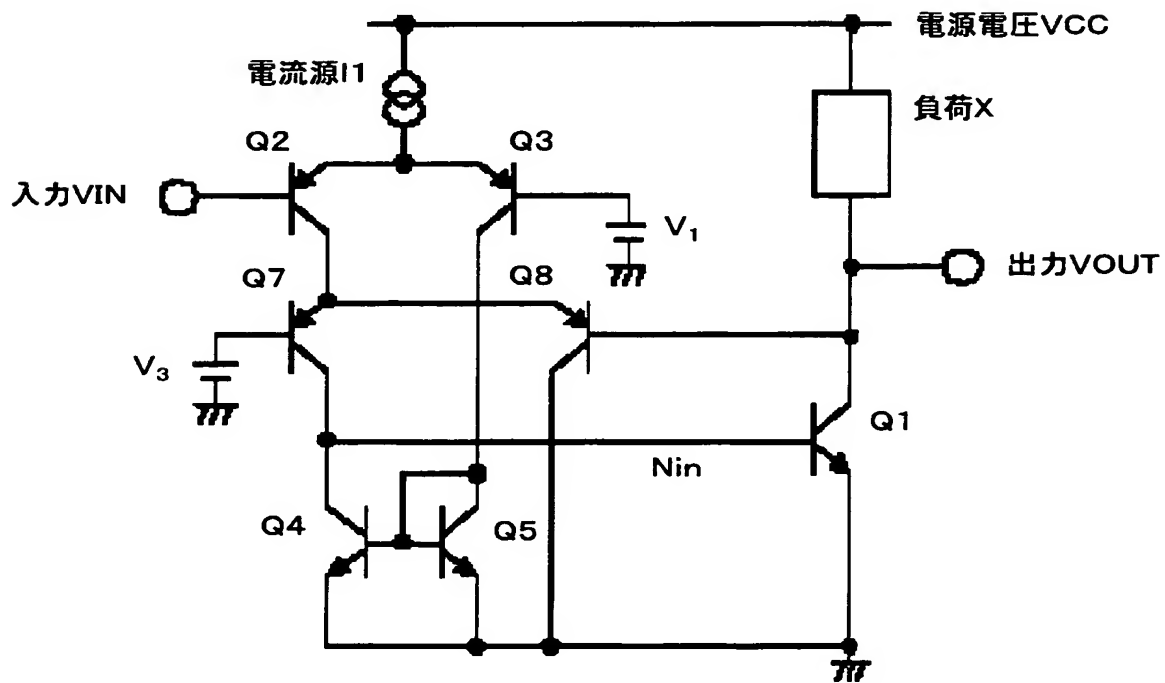
1	ベース電流制御部
1'	ベース電流制御部
2	ベース電流供給部
2'	ベース電流供給部
3	出力回路
4	出力回路
I 1	電流源
N i n	入力ノード (出力トランジスタ Q 1 のベース)
N i n'	入力ノード (出力トランジスタ Q 1' のベース)
Q 1	出力トランジスタ
Q 1'	出力トランジスタ
Q 2 ~ Q 1 1	トランジスタ
V 1	基準電圧
V 2	基準電圧
V 3	基準電圧
V 3'	基準電圧
V C C	電源電圧
V I N	入力信号
V O U T	出力
X	負荷

【書類名】 図面

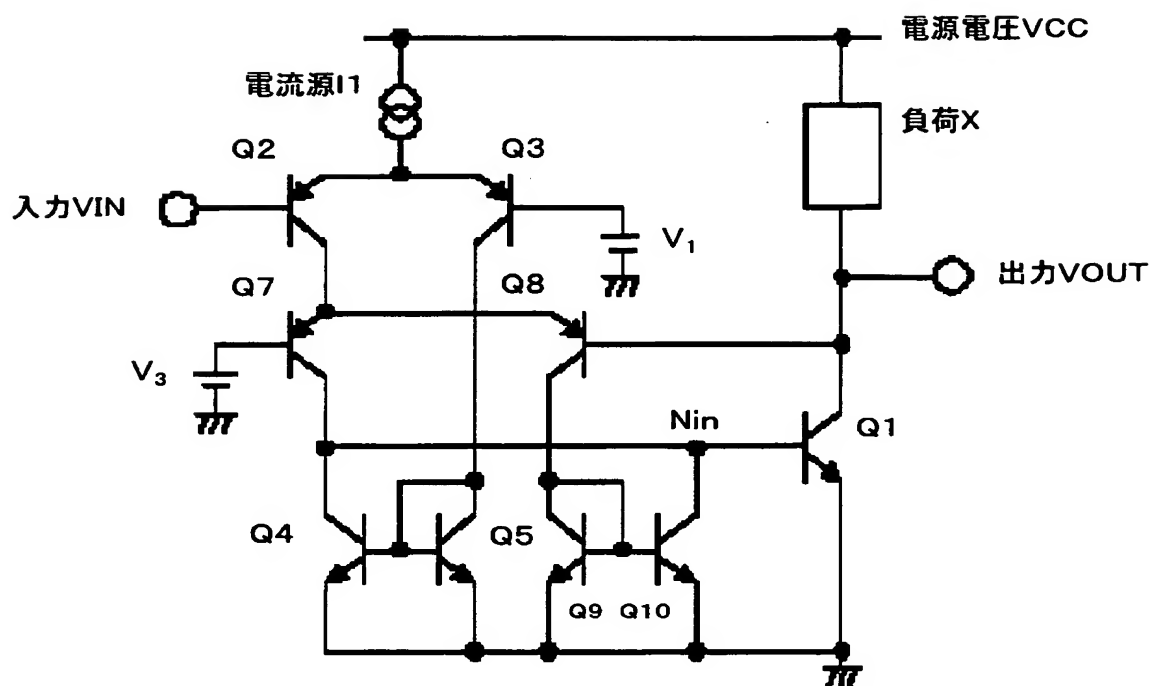
【図 1】



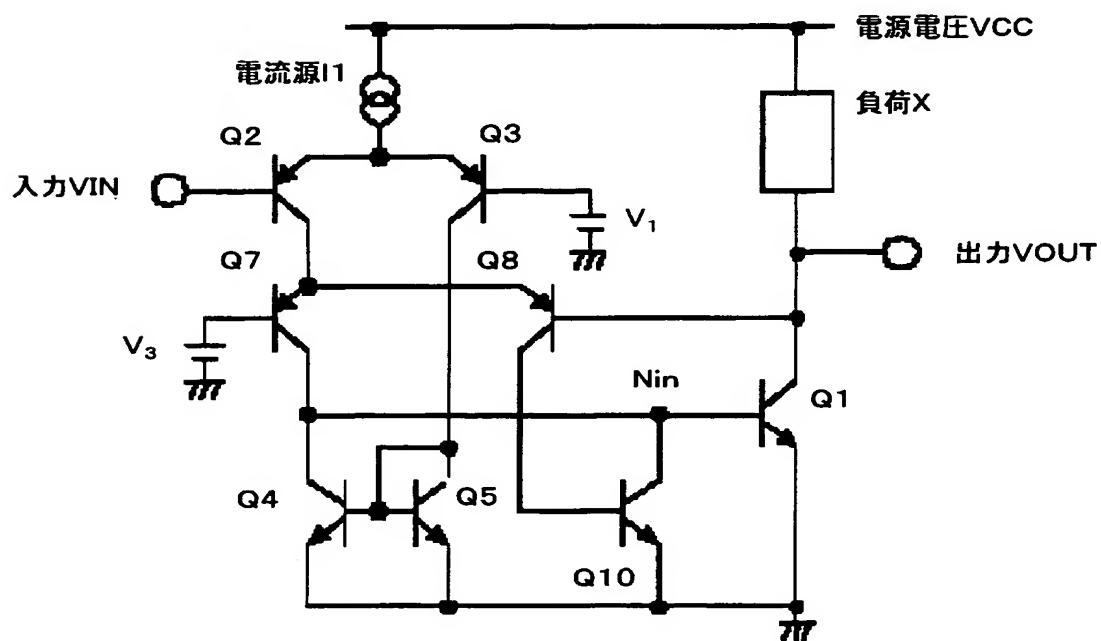
【図 2】



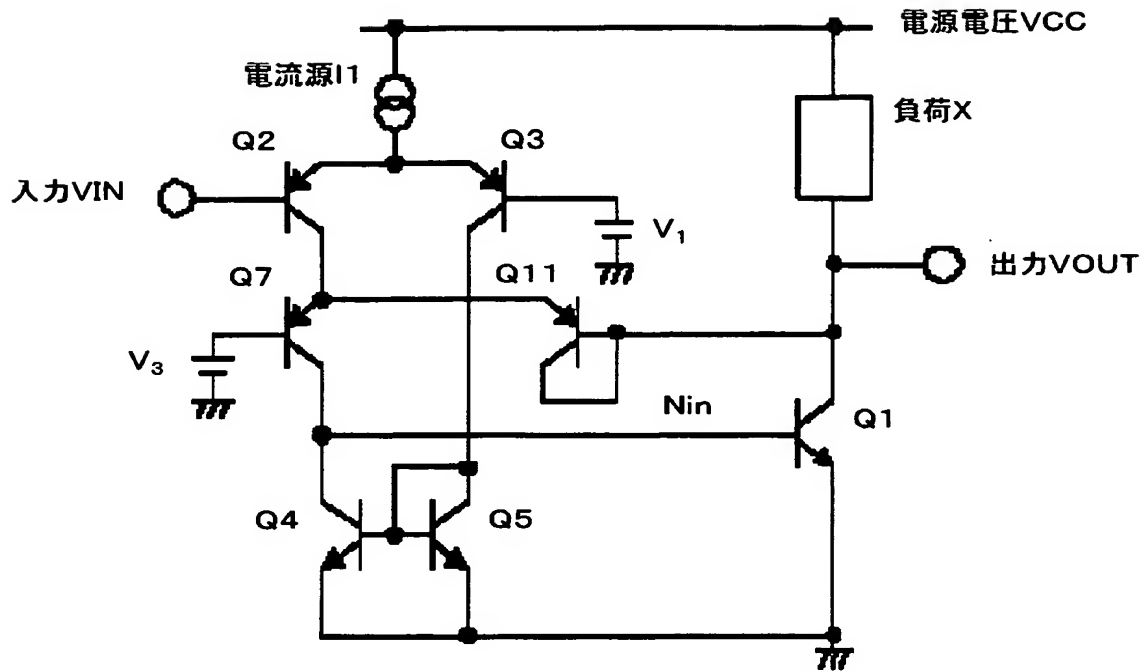
【図 3】



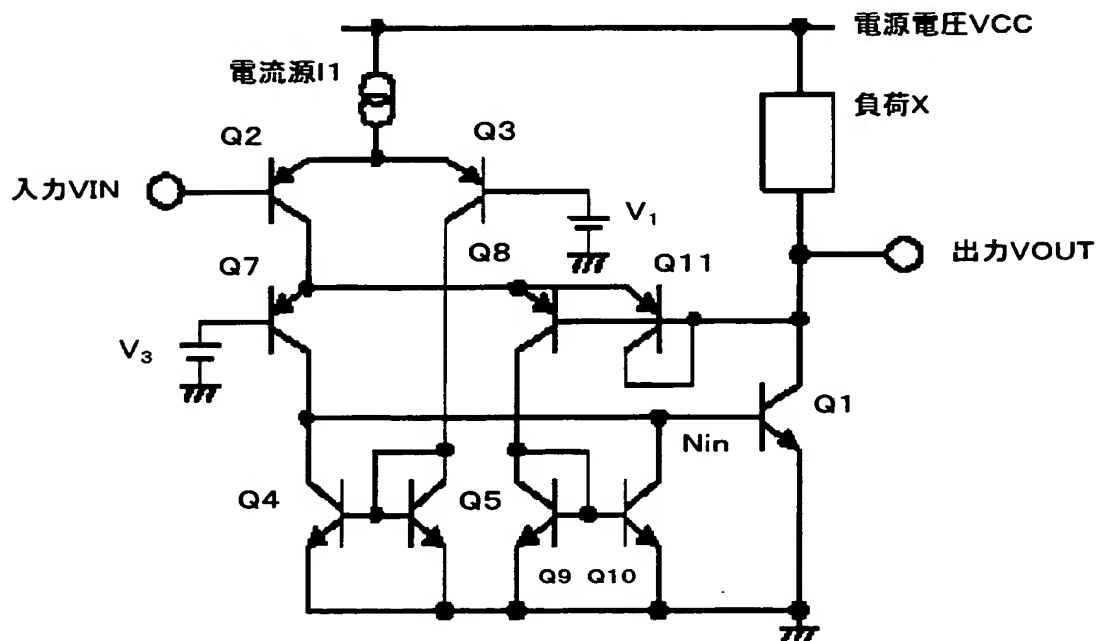
【図 4】



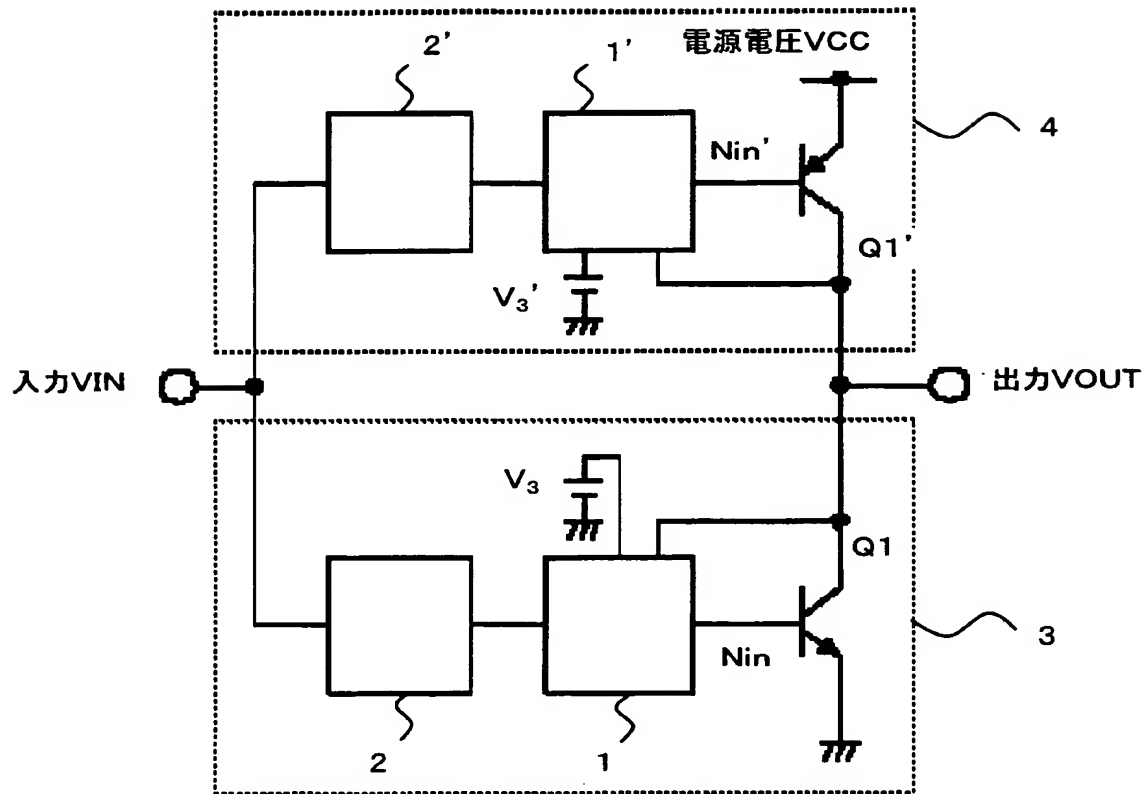
【図 5】



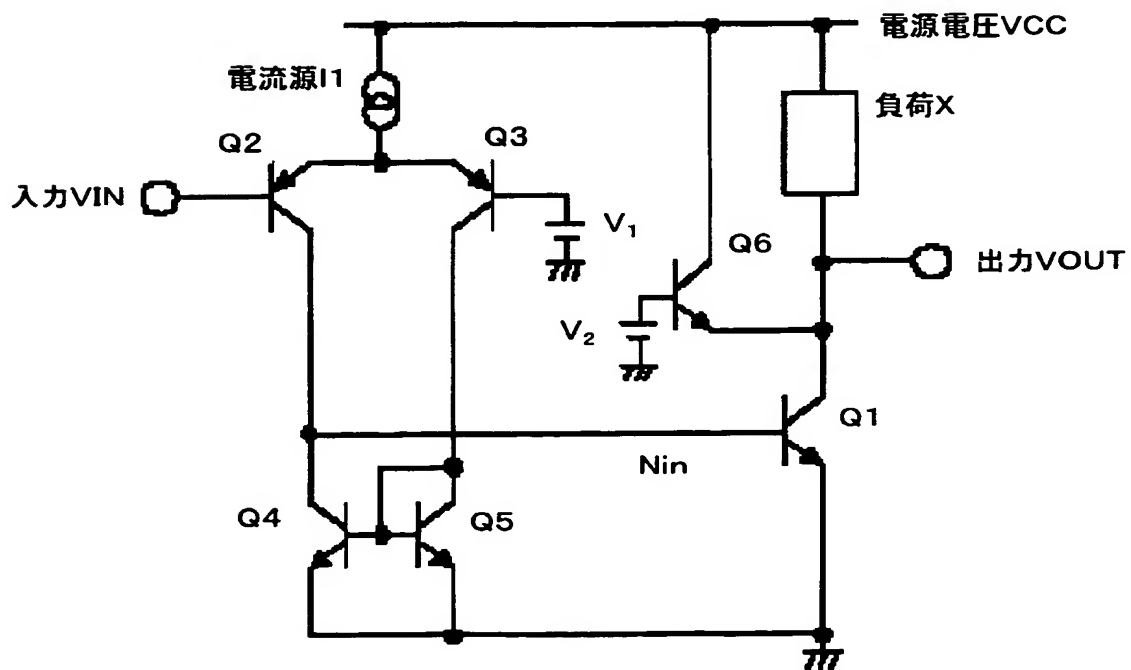
【図 6】



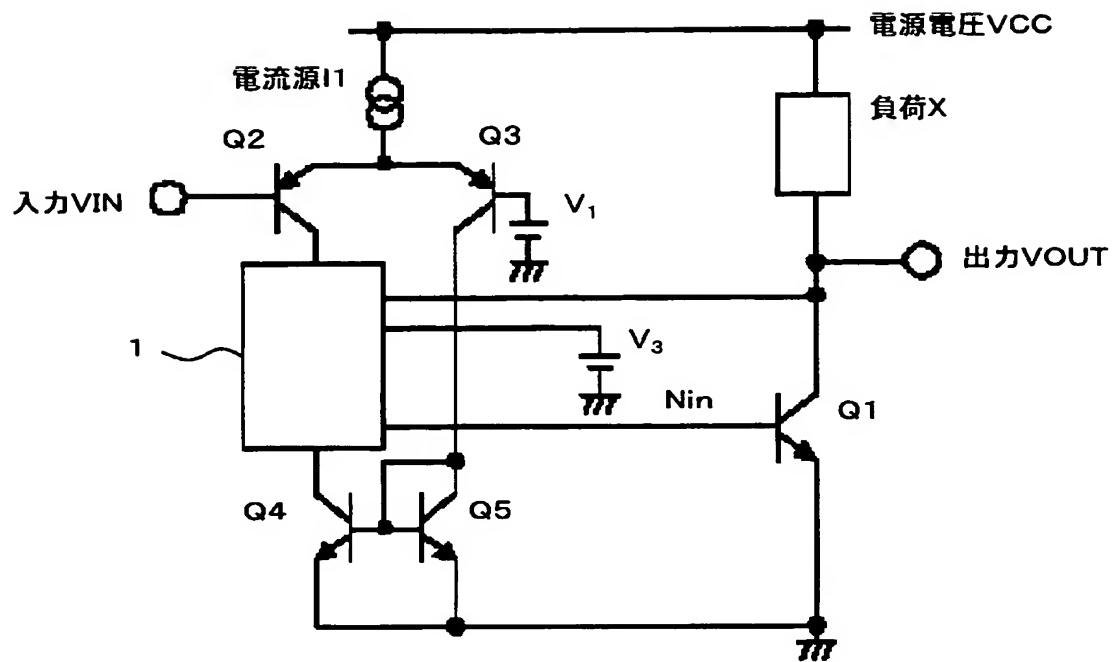
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 エミッタを接地し、ベースを制御電流の入力ノードとし、コレクタを出力ノードとする出力トランジスタを備えた出力回路において、出力電圧が所定の電圧以下に低下しないよう制限された場合に、出力電流を抑えて消費電流を低減できる出力回路を提供する。

【解決手段】 出力トランジスタ Q1 に対して、外部からの入力信号 V<sub>IN</sub> に応じてベース電流を供給するベース電流供給部 2 と、出力トランジスタ Q1 のコレクタ・エミッタ間の両端電圧を検知し、その両端電圧が所定電圧 V<sub>3</sub> を下回らないようにベース電流供給部 2 から供給されるベース電流を制御するベース電流制御部 1 とを備える。

【選択図】 図 1

特願 2 0 0 3 - 0 8 7 8 1 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社